

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-215240

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.<sup>6</sup>

H 0 4 L 7/00  
12/26

識別記号

F I

H 0 4 L 7/00  
11/12

C

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平9-17160

(22)出願日 平成9年(1997) 1月30日

(71)出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72)発明者 中村 英樹

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

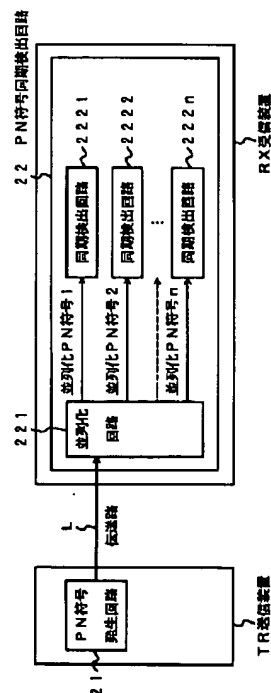
(74)代理人 弁理士 鈴木 正剛

(54)【発明の名称】 PN符号同期検出回路

(57)【要約】

【課題】 入力並列化PN符号と検出回路内で発生される並列化PN符号との同期状態を監視し、検出結果が真の異常か同期外れかを識別可能にする。

【解決手段】 PN符号同期検出回路22において、 $n \times k$  ( $n$ ,  $k$ はそれぞれ任意の自然数)ビットのPN符号を並列化回路221に入力して $n$ 系列に並列展開して $k$ ビット毎の並列化PN符号を生成し、それぞれ対応する並列化PN符号同期検出回路2221~222 $n$ に入力して、その内部で発生される予め割り当てられた並列化PN符号を同期させ、両信号を比較して一致/不一致を識別することで同期、同期はずれを検出する。各並列化PN符号同期検出回路2221~222 $n$ は、互いに自他回路の一致/不一致識別結果を監視し、全ての回路が一致となるまで前記同期化処理を実行するようにする。



## 【特許請求の範囲】

【請求項1】  $n \times k$  ( $n$ ,  $k$ はそれぞれ任意の自然数)ビットのPN符号を $n$ 系列に並列展開して $k$ ビット毎の並列化PN符号を生成する並列化回路と、それぞれ並列化回路から対応する並列化PN符号を入力し、この並列化PN符号に内部で発生される予め割り当てられた並列化PN符号を同期させ、両信号を比較して一致/不一致を識別することで同期、同期はずれを検出する $n$ 個の並列化PN符号同期検出回路とを具備し、各並列化PN符号同期検出回路は、互いに自他回路の一致/不一致識別結果を監視し、全ての回路が一致となるまで前記同期化処理を実行するようにしたことを特徴とするPN符号同期検出回路。

【請求項2】 前記 $n$ 個の並列化PN符号同期検出回路のうち第 $i$ 番目の回路は、前記並列展開された第 $i$ 番目の $k$ ビット並列化PN符号と与えられた $k$ ビット並列化PN符号の次のビットの並列化PN符号とを選択的に発生する並列化PN符号発生回路と、前記並列展開された第 $i$ 番目の $k$ ビット並列化PN符号と前記並列化PN符号発生回路で発生される並列化PN符号のいずれか一方を選択的に出力する選択回路と、前記並列展開された第 $i$ 番目の $k$ ビット並列化PN符号と前記並列化PN符号発生回路から出力される並列化PN符号とをビット毎に比較して一致/不一致を識別する比較回路と、外部からのセレクト信号に従って前記PN符号発生回路に $i$ 番目の $k$ ビット並列化PN符号の値を初期値として選択させ、前記比較回路で一致が検出されたとき、前記PN符号発生回路の発生パターンを初期値に設定する設定回路と、自他検出回路のいずれかの比較結果に不一致があるときは選択回路に並列化回路からの $k$ ビット並列化PN符号を選択させ、全ての識別結果が一致になったとき同期状態とみなして選択回路にPN符号発生回路からの $k$ ビット並列化PN符号を選択させる不一致検出回路とを備えることを特徴とする請求項1記載のPN符号同期検出回路。

【請求項3】 前記選択回路は、同期引込み指示信号の入力時に、一度同期を外して前記並列化回路からの $k$ ビット並列化信号を選択するようにしたことを特徴とする請求項2記載のPN符号同期検出回路。

【請求項4】 前記不一致検出回路の出力経路に介在され、一定期間は不一致検出信号を出力させない前方保護回路を備えることを特徴とする請求項2記載のPN符号同期検出回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば多重化伝送装置の試験として、送信側からシリアル伝送され、受信

側で並列化されたPN符号を個々に同期検出することで、伝送路の正常性を確認するPN符号同期検出回路に関する。

## 【0002】

【従来の技術】一般に、多重化伝送装置は、信号を多重して伝送路に出力する機能と、伝送路からの多重信号を分離する多重分離機能を備えている。また、伝送路の正常性を確認する試験機能を備えている。この伝送路の正常性を確認する試験は、送信側でPN符号を発生し、伝送路にそのPN符号を多重化して挿入し、受信側でPN符号を並列展開し、各PN符号を同期検出することにより行う。このような試験機能を備える多重伝送装置の構成を図3に示す。

【0003】図3において、TRは送信装置、RXは受信装置であり、両装置TR、RX間は伝送路Lで接続されている。送信装置TRで多重化された信号は伝送路Lを介して受信装置RXに送出され、当該受信装置RX内で分離された後、個々に復調処理される。

【0004】送信装置TRは試験用にPN符号発生回路11を備え、この回路11で発生されるPN符号をシリアル形式で伝送路Lに送出し、受信装置RXに伝送する。受信装置RXは伝送路LからのPN符号を検出することで同期処理を行うPN符号同期検出回路12を備える。このPN符号同期検出回路12では、伝送路LからのPN符号を並列化回路121によって $n$ 系列に並列展開し、それぞれ $n$ 系列の並列化PN符号同期検出回路1221~122nに供給する。各並列化PN符号同期検出回路1221~122nは共に同一構成であり、PN符号発生回路A1によって送信側と同じPN符号を $n$ 系列に対応して分割した一つを発生し、この回路A1で発生されるPN符号と並列化回路121からのPN符号とを比較回路A2で比較して一致の有無を検出する。全ての並列化PN符号同期検出回路1221~122nでPN符号の一致が得られた場合、本多重伝送装置の伝送路Lは正常であると判断することができる。

【0005】しかしながら、図3に示す受信装置RXのPN符号同期検出回路12では、並列化回路121で並列化された個々のPN符号と各並列化PN符号同期検出回路1221~122nにおけるPN符号発生回路A1で発生されるPN符号との同期状態を監視していない。このため、何等かの原因によって同期が外れてもこれを検出できない。同期が外れると、その検出回路1221~122nの出力は異常検出となり、真の異常との区別がつかなくなる。

## 【0006】

【発明が解決しようとする課題】以上述べたように従来の多重化伝送装置の受信側に用いられるPN符号同期検出回路では、試験用に送信側から送出されるPN符号を並列展開し、それぞれの並列化PN符号を内部で発生される並列化PN符号と比較照合することで異常発生の有

無を調べているが、受信並列化PN符号と内部の並列化PN符号との同期を監視していないため同期外れを検出できず、同期がずれたときに真の異常との区別ができないという問題があった。

【0007】本発明の課題は、上記の問題を解決し、並列展開された並列化PN符号を検出する場合の、検出回路内で発生される並列化PN符号との同期状態を監視し、検出結果が真の異常か同期外れかを識別可能なPN符号同期検出回路を提供することにある。

【0008】

【課題を解決するための手段】上記の課題を解決するために本発明に係るPN符号同期検出回路は、以下のよう

な構成とする。  
(1)  $n \times k$  ( $n$ ,  $k$ はそれぞれ任意の自然数)ビットのPN符号を $n$ 系列に並列展開して $k$ ビット毎の並列化PN符号を生成する並列化回路と、それぞれ並列化回路から対応する並列化PN符号を入力し、この並列化PN符号に内部で発生される予め割り当てられた並列化PN符号を同期させ、両信号を比較して一致/不一致を識別することで同期、同期はずれを検出する $n$ 個の並列化PN符号同期検出回路とを具備し、各並列化PN符号同期検出回路は、互いに自他回路の一致/不一致識別結果を監視し、全ての回路が一致となるまで前記同期化処理を実行するようにする。

【0009】(2)上記(1)の構成において、前記 $n$ 個の並列化PN符号同期検出回路のうち第 $i$ 番目の回路は、前記並列展開された第 $i$ 番目の $k$ ビット並列化PN符号と与えられた $k$ ビット並列化PN符号の次のビットの並列化PN符号とを選択的に発生する並列化PN符号発生回路と、前記並列展開された第 $i$ 番目の $k$ ビット並列化PN符号と前記並列化PN符号発生回路で発生される並列化PN符号のいずれか一方を選択的に出力する選択回路と、前記並列展開された第 $i$ 番目の $k$ ビット並列化PN符号と前記並列化PN符号発生回路から出力される並列化PN符号とをビット毎に比較して一致/不一致を識別する比較回路と、外部からのセレクト信号に従って前記PN符号発生回路に $i$ 番目の $k$ ビット並列化PN符号の値を初期値として選択させ、前記比較回路で一致が検出されたとき、前記PN符号発生回路の発生パターンを初期値に設定する設定回路と、自他検出回路のいずれかの比較結果に不一致があるときは選択回路に並列化回路からの $k$ ビット並列化PN符号を選択させ、全ての識別結果が一致になったとき同期状態とみなして選択回路にPN符号発生回路からの $k$ ビット並列化PN符号を選択させる不一致検出回路とを備えるようにする。

【0010】(3)上記(2)の構成において、前記選択回路は、同期引込み指示信号の入力時に、一度同期を外して前記並列化回路からの $k$ ビット並列化信号を選択するようにする。

【0011】(4)上記(2)の構成において、前記不

一致検出回路の出力経路に介在され、一定期間は不一致検出信号を出力させない前方保護回路を備えるようにする。

【0012】

【発明の実施の形態】以下、図1及び図2を参照して本発明の実施の形態を詳細に説明する。図1は本発明が適用される多重化伝送装置の構成を示すもので、送信装置TRは $n \times k$ ビットのPN符号を発生するPN符号発生回路21を備える。このPN符号発生回路21から出力されるPN符号は伝送路Lを通して受信装置RXのPN符号同期検出回路22を構成する並列化回路221に供給される。この並列化回路221は入力した $n \times k$ ビットのPN符号を $n$ 系列に並列展開して $k$ ビット毎の並列化PN符号を生成する。ここで並列化された各並列化PN符号1～ $n$ は、並列化回路22の並列展開数 $n$ に相当する並列化PN符号同期検出回路2221～222 $n$ に供給される。

【0013】各並列化PN符号同期検出回路2221～222 $n$ はそれぞれ並列化回路221から対応する並列化PN符号を入力し、内部で発生される並列化PN符号と比較して一致の有無を検出することで、伝送路Lの正常性の試験を行う。

【0014】図2は上記PN符号同期検出回路22の具体的な構成と接続関係を示すものである。尚、並列化PN符号同期検出回路2221～222 $n$ はいずれも同一構成であるので、図2では第1番目の検出回路2221の構成のみ示している。すなわち、この並列化PN符号同期検出回路2221では、並列化回路221で並列展開された第1番目の $k$ ビット並列化PN符号を、PN符号発生回路B1で発生される $k$ ビット並列化PN符号と共に、選択回路B2及び比較回路B3に入力する。

【0015】選択回路B2は、後述の不一致検出回路B4の検出結果に基づいていずれか一方の並列化PN符号を選択的に出力するものである。尚、この選択回路B2は、図示しないシステム制御部からの同期引込み指示信号により、並列化回路221からの $k$ ビット並列化PN符号を選択するように初期設定される。ここで選択された並列化PN符号はPN符号発生回路B1に供給される。

【0016】このPN符号発生回路B1は、選択回路B2から並列化PN符号を受け取ると、その符号の次のビットのPN符号を発生し、後述の設定回路B5から初期設定信号を受けて第1番目のパターンの並列化PN符号を発生する。

【0017】上記比較回路B3は入力される2つの並列化PN符号を比較して1ビット毎に一致/不一致を識別する。この識別結果は設定回路B5に送られる。この設定回路B5は比較回路B3で一致と識別されたとき、PN符号発生回路B1の発生パターンを初期値に設定する。

【0018】ここで、各並列化PN符号同期検出回路222i (i=1~n)の設定回路B5には、それぞれシステム制御部からi番目のkビット並列化PN符号の値を初期値として選択させるセレクト信号SELiが供給される。また、各並列化PN符号同期検出回路222iの比較回路B3の比較結果は全検出回路2221~222nの不一致検出回路B4に供給される。

【0019】不一致検出回路B4は、自他検出回路2221~222nのいずれかの比較結果に「不一致」があるときは、選択回路B2に並列化回路221からのkビット並列化PN符号を選択させる。また、全ての識別結果が「一致」になったとき、選択回路B2にPN符号発生回路B1からのkビット並列化PN符号を選択させる。

【0020】上記構成において、以下に並列化PN符号同期検出回路222iの動作について説明する。まず、上記構成による並列化PN符号同期検出回路222iには、並列化回路221にてkビット毎に分割されたn個のkビット並列化PN符号が対応的に入力される。各検出回路222iに入力されたkビット並列化PN符号は選択回路B2及び比較回路B3に供給される。

【0021】ここで、初期状態(例えば電源投入時)では、システム制御部から同期引込み信号が発生され、選択回路B2はその同期引込み指示信号を受けて並列化回路221からの並列化PN符号を選択し、PN符号発生回路B1に出力する。このとき、不一致検出回路B4は選択回路B2の選択動作に影響しない。

【0022】一方、設定回路B5は、システム制御部からセレクト信号SELiを受け、PN符号発生回路B1にi番目のkビット並列化PN符号の値を選択させる。このようにしてPN符号発生回路B1で発生されるi番目のkビット並列化PN符号は、並列化回路221からの並列化PN符号と共に比較回路B3に供給され、当該比較回路B3にて1ビット毎に両者の一致/不一致が識別される。

【0023】比較回路B3は、不一致を検出すると、不一致検出信号NGiを発生し、設定回路B5に出力する。このとき、設定回路B5は、PN符号発生回路B1の発生パターンを初期値に設定する。上記比較回路B3で発生された不一致検出信号NGiは、全検出回路2221~222nの不一致検出回路B4にも供給される。ここで、不一致検出回路B4は、全検出回路2221~222nの比較回路B3の出力全ての一致を検出したときのみ、選択回路B2をPN符号発生回路B1の出力側へ切り替える。

【0024】すなわち、比較回路B3で入力kビット並列化PN符号とPN符号発生回路B1の出力を比較し、比較結果が不一致のときは入力kビット並列化PN符号に誤りがあると判定する。入力kビット並列化PN符号の内に1ビットでも誤りがあったとき、選択回路B2は

入力並列化PN符号側を選択している。PN符号発生回路B1は、選択回路B2の出力から次のビットの並列化PN符号を発生させる。

【0025】但し、PN符号発生回路B1は、自同期検出回路222i内に入力される入力並列化PN符号に1ビットでも誤りがあるときは、設定回路B5の制御により初期発生パターンが設定され、このパターンから生成した並列化PN符号を出力する。このとき、比較回路B3では不一致を識別し、その結果を不一致検出回路B4へ出力する。

【0026】不一致検出回路B4は、kビットのPN符号入力が初期設定値と等しい入力になり、各同期検出回路2221~222nの比較回路B3の出力が全て一致になるまで、選択回路B2が入力並列化PN符号側を選ぶように信号を出力し続ける。

【0027】設定回路B5は、PN符号発生回路B1にi番目の並列化PN符号の発生パターンを設定する。すなわち、1番目の設定値の場合は、n×kビットPN符号の内の1番目のkビット分の初期設定を行い、2番目の設定値の場合は、n×kビットPN符号の内の2番目のkビット分の初期設定を行い、以下同様にして、n番目の設定値の場合は、n×kビットのPN符号の内のn番目のkビット分の初期設定を行う。このように、設定回路B5は、1~n番目の設定毎にずれた初期設定を行う。

【0028】入力kビット並列化PN符号に1ビットも誤りがないうち、選択回路B2はPN符号発生回路B1の出力側を選択している。PN符号発生回路B1は、選択回路B2の出力から並列化PN符号を発生させるので、自走することになる。この時、比較回路B3では一致を識別し、その結果を不一致検出回路B4へ出力する。不一致検出回路B4では、自他同期検出回路2221~222nの比較回路B3の出力が全て一致していることを検出し、選択回路B2がPN符号発生回路B1の出力側を選ぶ信号を出力し続ける。この状態を同期しているとみなす。

【0029】ここで、同期引込み指示信号は外部から選択回路B2に入力される。同期がとれている状態の時、同期引込み指示信号が入力されると、一度同期を外した後、同期引込み状態になる。一度同期がとれると、基本的に同期外れにはならないが、不一致検出回路B4の出力経路に一定期間は不一致検出信号を出力させない前方保護回路を追加することによって同期外れを監視することもできる。

【0030】したがって、上記構成によれば、同一の同期検出回路を複数並列に動作させて並列展開した並列化PN符号を検出する場合でも、受信した並列化PN符号の同期を判定し、複数並列に動作させた同期検出回路の同期を監視することができる。特に、送信側と受信側との間の障害等で、並列の順序が入れ替わっている場合等

で永久に同期がとれないことを検出することができる。

【0031】

【発明の効果】以上のように本発明に係るPN符号同期検出回路は、並列展開された並列化PN符号を検出する場合の、検出回路内で発生される並列化PN符号との同期状態を監視し、検出結果が真の異常か同期外れかを識別できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明が適用される多重化伝送装置の構成を示すブロック回路図。

【図2】本発明に係るPN符号同期検出回路の一実施形態の構成を示すブロック回路図。

【図3】従来のPN符号検出回路を用いた多重化伝送装置の構成を示すブロック回路図。

【符号の説明】

TR 送信装置

RX 受信装置

L 伝送路

11 PN符号発生回路

12 PN符号同期検出回路

121 並列化回路

1221～122n 並列化PN符号同期検出回路

A1 PN符号発生回路

A2 比較回路

21 PN符号発生回路

22 PN符号同期検出回路

10 221 並列化回路

2221～222n 並列化PN符号同期検出回路

B1 PN符号発生回路

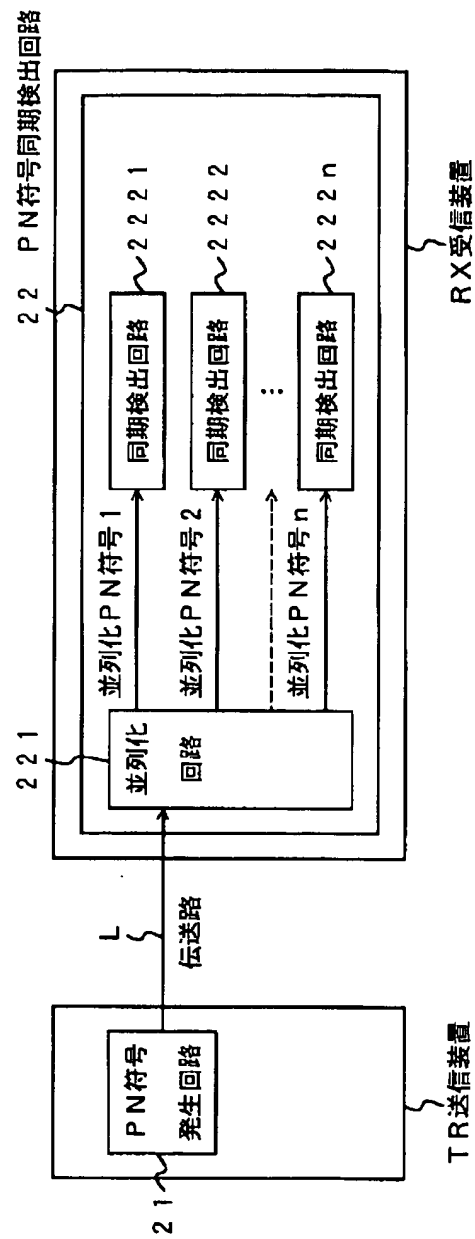
B2 選択回路

B3 比較回路

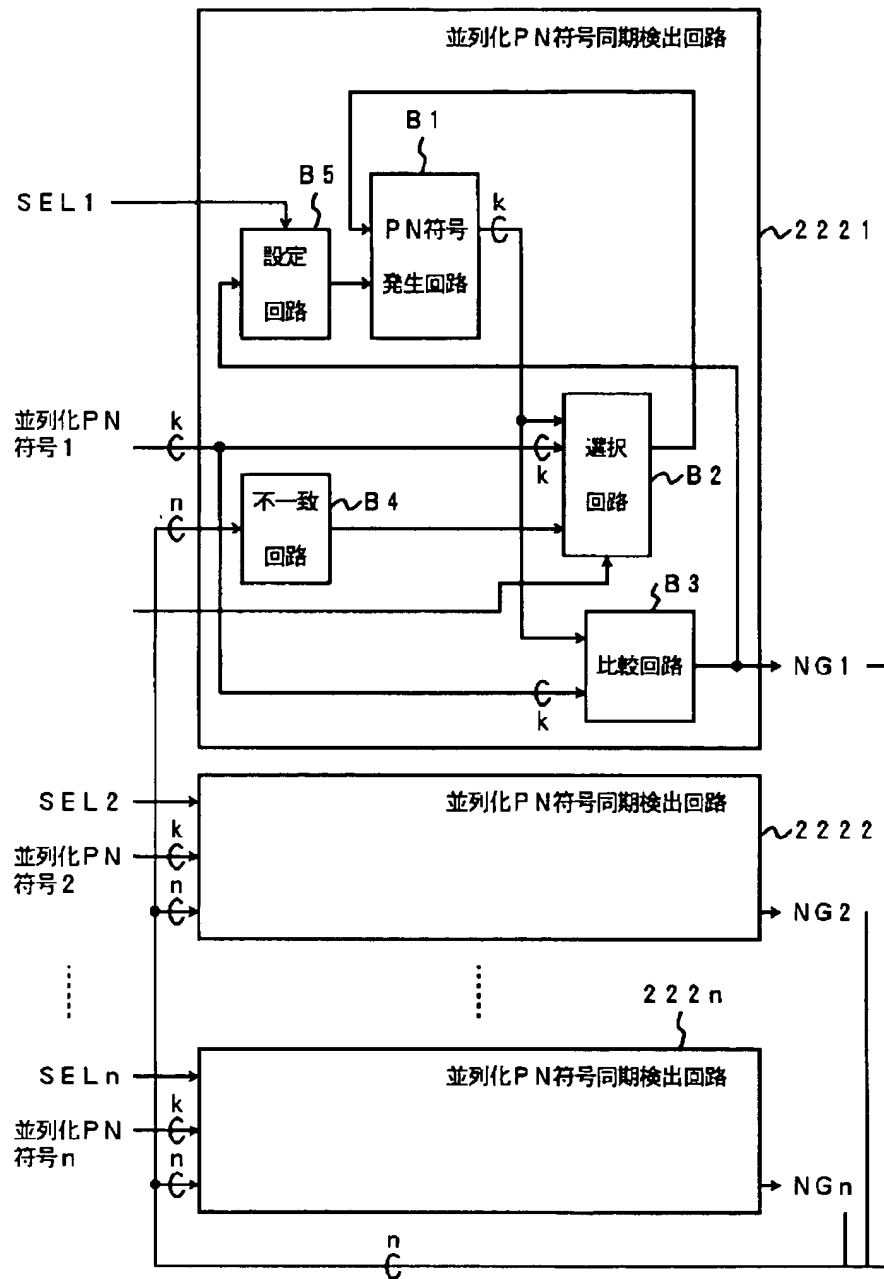
B4 不一致検出回路

B5 設定回路

【図1】



【図2】



【図3】

